

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-335564

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

21/336

7377-4M

7377-4M

H 0 1 L 29/ 78

3 0 1 H

3 0 1 P

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号

特願平4-139531

(22)出願日

平成4年(1992)6月1日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 伊澤 哲夫

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

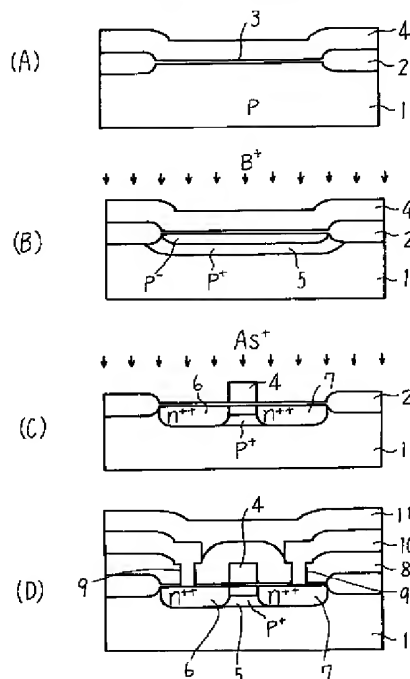
(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 MOS FET の製造方法に関し、高温ゲート酸化工程が含まれても、レトログレードの不純物分布を持つチャネルプロファイルを保存する製造プロセスを提供し、短チャネル効果を抑制し、微細化に寄与することを目的とする。

【構成】 1) 一導電型半導体基板 1 上にゲート絶縁膜 3 を形成し、該ゲート絶縁膜上全面にゲート電極膜 4 を被着する第一工程と、次いで、該ゲート電極膜と該ゲート絶縁膜を通して該半導体基板内部に平均投影飛程が存在するようなエネルギーで一導電型不純物イオンを注入する第二工程と、次いで、該一導電型不純物の深さ方向の分布が該半導体基板内部で極大値を有し該半導体基板表面ではこれより低濃度であることが保たれるように選択された温度、時間で該半導体基板を熱処理する第三工程とを有する、2) 前記第二工程の後に、ゲート電極膜上全面に第2のゲート電極膜を被着する工程を有するように構成する。

実施例の断面図



【特許請求の範囲】

【請求項1】 一導電型半導体基板1上にゲート絶縁膜3を形成し、該ゲート絶縁膜上全面にゲート電極膜4を被着する第一工程と、
次いで、該ゲート電極膜と該ゲート絶縁膜を通して該半導体基板内部に平均投影飛程が存在するようなエネルギーで一導電型不純物イオンを注入する第二工程と、
次いで、該一導電型不純物の深さ方向の分布が該半導体基板内部で極大値を有し該半導体基板表面ではこれより低濃度であることが保たれるように選択された温度、時間
10 間で該半導体基板を熱処理する第三工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記第二工程の後に、ゲート電極膜上全面に第2のゲート電極膜を被着する工程を有することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置の製造方法に係り、特にMOS FETの製造方法に関する。近年、MOS FETは微細化されチャンネル長が短くなってきたが、これに伴いFETがパンチスルー降伏せず、高電流駆動力を有することが要求されている。

【0002】

【従来の技術】従来、半導体装置はそれに搭載する素子の寸法を縮小することにより、高速化と高集積化を進めてきた。しかしながら、搭載する素子がMOS FETの場合にチャンネル長を縮小すると、しきい値電圧 V_{th} の低下やパンチスルー降伏電圧の低下等のいわゆる短チャンネル効果が発生し、これが半導体装置の微細化を阻む障害になっていた。

【0003】短チャンネル効果は、チャンネル長が短くなるとともに、チャンネル領域全体に対するソース・ドレインから延びる空乏層の占める領域の割合が増大し、電位がゲートでなく、ドレインによって主に支配されるようになることにより生ずる。

【0004】したがって、この短チャンネル効果を抑制しながらチャンネル長を縮小させようとする、基板すなわちチャンネル領域の不純物濃度を増加させてソース・ドレインからの空乏層の伸びを小さく抑えるようにしている。その際、通常チャンネル長の寸法縮小率と同等か、あるいは $-1/2$ 乗倍の比率でゲート絶縁膜を薄膜化すると、しきい値電圧を上昇させることなく、短チャンネル効果も抑制できる。

【0005】しかしながら、一様にチャンネル領域の不純物を増加させると、チャンネル内のキャリアに印加される垂直電界が増加する。そのためにキャリアの移動度が低下し、寸法を縮小するほどには電流が増加せず、高速化が促進されにくくなる。

【0006】また、ホットキャリア効果等による信頼性の低下を抑制する要請より、チャンネル長が $0.5 \sim 0.6 \mu$

m程度のデバイスから、電源電圧 V_{DD} がこれまでの5 Vより3.3 V程度に引下げられるようになってきた。このために、しきい値電圧以上の動作領域、すなわち $V_{DD} - V_{th}$ を大きくとって電流駆動力を確保するために、しきい値電圧も一層低い値が要求されるようになり、この傾向はデバイスの微細化が進む限り続くものである。

【0007】上記のように、一様にチャンネル領域の不純物を増加させてデバイスを縮小した場合の問題点を解決するために、レトログレードの濃度分布、すなわちパンチスルーを生じやすいソース・ドレインの接合と同じ深さ近傍の濃度を高めにした不純物分布を形成して短チャンネル効果を抑制し、かつ、キャリアの移動度を高く保つようにしている。図2にこのようなパンチスルー抑止構造のFETの断面図を示す。

【0008】図2において、1はp型半導体基板、2はフィールド酸化膜、3はゲート酸化膜、4はゲート、5は高濃度p型層である。この構造ではチャンネル領域の下側に高濃度p型層5が形成されている。

【0009】

【発明が解決しようとする課題】しかしながら、レトログレードの濃度分布を形成しても、一般に行われている、イオン注入によってチャンネルドーピングし、その後ゲート絶縁膜を形成する製造方法においては、ゲート絶縁膜形成の酸化工程が一般に高温であるために、注入直後の不純物分布が熱拡散により崩れ、一様な濃度分布になってしまう。

【0010】図3はゲート酸化によりチャンネル領域の深さ方向の不純物分布が変化する様子を説明する図である。図で(1)は注入直後、(2)はゲート酸化後の濃度プロファイルを示す。

【0011】ここで、ゲート酸化が高温であることは、主に信頼性からの要請によるものである。このことは、拡散係数の大きい硼素をチャンネルドーピングに用いるnチャンネルMOS FETにおいてはpチャンネルMOS FETより深刻な問題である。

【0012】さらに、ゲート酸化に、不活性ガスで酸素を希釈して通常の熱酸化より高温で酸化する分圧酸化法を用いる場合はより一層深刻である。この分圧酸化法で形成された酸化膜は薄膜化しても絶縁性が優れているため、MOS FETの微細化において重要な技術となってきた。

【0013】本発明は、高温ゲート酸化工程が含まれても、レトログレードの不純物分布を持つチャンネルプロファイルを保存する製造プロセスを提供し、MOS FETの短チャンネル効果を抑制し、半導体装置の微細化に寄与することを目的とする。

【0014】

【課題を解決するための手段】上記課題の解決は、1)一導電型半導体基板1上にゲート絶縁膜3を形成し、該ゲート絶縁膜上全面にゲート電極膜4を被着する第一工

程と、次いで、該ゲート電極膜と該ゲート絶縁膜を通して該半導体基板内部に平均投影飛程が存在するようなエネルギーで一導電型不純物イオンを注入する第二工程と、次いで、該一導電型不純物の深さ方向の分布が該半導体基板内部で極大値を有し該半導体基板表面ではこれより低濃度であることが保たれるように選択された温度、時間で該半導体基板を熱処理する第三工程とを有する半導体装置の製造方法、あるいは2)前記第二工程の後に、ゲート電極膜上全面に第2のゲート電極膜を被着する工程を有する前記1)記載の半導体装置の製造方法により達成される。

【0015】

【作用】本発明では、ゲート酸化膜およびゲートを形成後に、基板内部に平均投影飛程を持つようなエネルギーで基板と同導電型のイオンを注入してチャネルドープを行い、イオン注入後の不純物の活性化アニールを低温且つ短時間に限定して行うことにより、レトログレードの不純物分布を保つようにしている。

【0016】したがって、パンチスルーストップパとして機能するための深いところにある、イオン注入された不純物が再分布することはない。

【0017】

【実施例】図1(A)～(D)は本発明の実施例を説明する断面図である。図1(A)において、選択酸化(LOCOS)法により、シリコン(Si)基板1に素子形成領域を画定表出するフィールド酸化膜として二酸化シリコン(SiO_2)膜2を形成する。

【0018】次いで、例えば、基板を850℃の乾燥酸素雰囲気中で熱酸化し、厚さ5nmのゲート酸化膜として SiO_2 膜3を形成する。次いで、気相成長(CVD)法により、基板上全面にゲート電極膜として厚さ100nmのポリシリコン膜4を成長する。

【0019】図1(B)において、基板表面より硼素イオン(B^+)をエネルギー60KeV、ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ の条件で注入し、高濃度p型層5を形成する。この条件でイオン注入を行うと、高濃度p型層5は基板表面からほぼ0.1μmのところにピークを持ち、表面に向かって徐々に低濃度となる。

【0020】図1(C)において、ポリシリコン膜4をパターニングしてゲートとし、ゲートをマスクにして砒素イオン(As^+)をエネルギー20KeV、ドーズ量 $4 \times 10^{15} \text{cm}^{-2}$ の条件で注入して、ソース6、ドレイン7を形成するとともにゲートにも砒素をドープする。

【0021】図1(D)において、CVD法により、基板上に層間絶縁膜として厚さ300nmのりん珪酸ガラス(PSG)膜8を成長する。次いで、ランプ加熱等によるラピッド・サーマル・アニーリング(RTA)により、基板に900

℃、20秒の短時間の熱処理を行う。この場合、熱処理時間が非常に短いため、イオン注入された不純物は電氣的に活性化するが、再拡散は殆ど起こらない。

【0022】ついで、PSG膜8にコンタクトホール9を形成し、アルミニウム(Al)配線10を形成し、最後に、その上に保護膜としてカバーPSG膜11を被着して完成する。この実施例では、ゲート電極膜4を一回の工程で堆積した場合について説明したが、高濃度p型層5をより急峻なプロファイルに、あるいはより深く形成したい場合はゲート電極膜4を二回に分けて堆積を行う。この場合の実施例を以下に示す。

【0023】上記実施例と同様にゲート酸化膜3を形成し、1層目ゲート電極膜を膜厚20nmで堆積し、硼素イオンをエネルギー35KeV、ドーズ量 $5 \times 10^{12} \text{cm}^{-2}$ の条件で注入して高濃度p型層5を形成する。次いで、2層目ゲート電極膜を膜厚20nmで堆積し、合計厚さ100nmのゲートを形成する。

【0024】この場合、ゲート電極膜を一回で形成した場合に比べて、低いエネルギーで同じ深さに形成可能なため、高濃度p型層5は広がりが小さく抑えられ急峻な不純物分布となる。

【0025】以上の実施例ではp型基板にnチャネル素子を形成する場合について説明したが、本発明はpチャネル素子を形成する場合にも全く同様に適用できる。

【0026】

【発明の効果】本発明によれば、高温ゲート酸化工程が含まれても、レトログレードの不純物分布を持つチャネルプロファイルを保存する製造プロセスを提供し、MOSFETの短チャネル効果を抑制し、半導体装置の微細化に寄与することを目的とする。

【図面の簡単な説明】

【図1】 本発明の実施例を説明する断面図

【図2】 パンチスルー抑止構造のFETの断面図

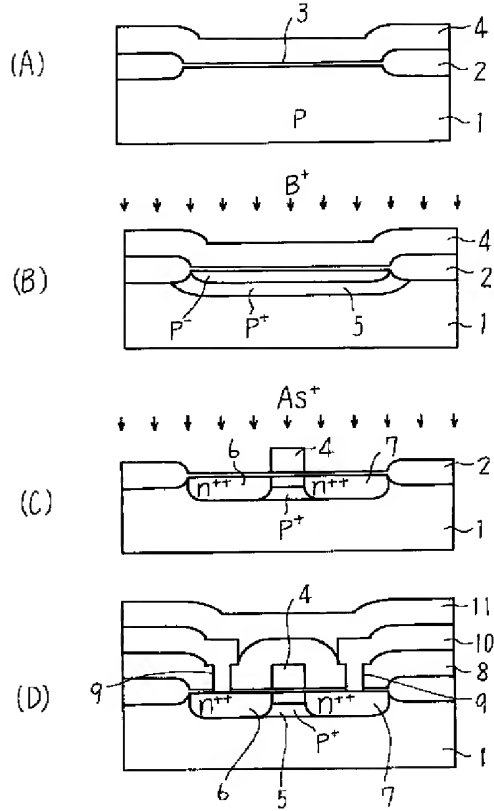
【図3】 ゲート酸化によりチャネル領域の深さ方向の不純物分布が変化する様子を説明する図

【符号の説明】

- 1 半導体基板でSi基板
- 2 フィールド酸化膜で SiO_2 膜
- 3 ゲート酸化膜で SiO_2 膜
- 4 ゲート電極膜でポリシリコン膜
- 5 高濃度p型層
- 6 ソース
- 7 ドレイン
- 8 層間絶縁膜でPSG膜
- 9 コンタクトホール
- 10 金属配線でAl配線
- 11 カバーPSG膜

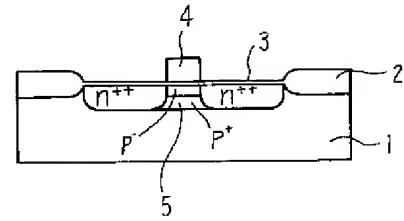
【図1】

実施例の断面図



【図2】

パンチスルー抑止構造のFETの断面図



【図3】

不純物分布の変化の説明図

